

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-069377

(43)Date of publication of application : 12.03.1996

(51)Int.Cl. G06F 9/38  
G06F 15/16(21)Application number : 07-136231 (71)Applicant : SGS THOMSON MICROELECTRON  
SA

(22)Date of filing : 10.05.1995 (72)Inventor : LABORIE JEAN-LOUIS

## (30)Priority

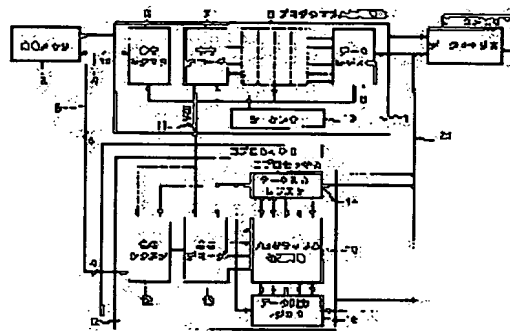
Priority number : 94 9405763 Priority date : 10.05.1994 Priority country : FR

## (54) ELECTRONIC CIRCUIT TO USE CO-PROCESSOR AND ITS METHOD

## (57)Abstract:

PURPOSE: To reduce the period when a co-processor is in operation by allowing a processor to recognize it that a transferred instruction should be executed by the co-processor and to send the event to the co-processor and allowing the co-processor to validate the execution permission of the instruction simultaneously.

CONSTITUTION: A processor 1 and a co-processor 2 are connected to one and the same instruction memory 3 via a bus 4. An instruction decoder 7 of the processor 1 generates a recognition signal VCI sent to the co-processor 2 via a connection line 11. The signal VCI is a signal used to instruct it that an instruction decoded by an instruction decoder 7 is an instruction to be executed by the co-processor 2. Furthermore, an optional circuit in an instruction decoder 13, an instruction register 12 of the co-processor 2 or other circuits 14-16 receives a validated input to receive the signal VCI. Upon the receipt of the recognition signal VCI, the co-processor 2 allows the processing circuit 16 to execute three instructions.



## LEGAL STATUS

[Date of request for examination] 26.06.1995

[Date of sending the examiner's decision of rejection] 11.03.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 09-09449

[Date of requesting appeal against examiner's decision of rejection] 09.06.1997

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-69377

(43) 公開日 平成8年(1996)3月12日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 9/38  
15/16

識別記号

3 7 0 C  
3 7 0 Z

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数62 FD (全 12 頁)

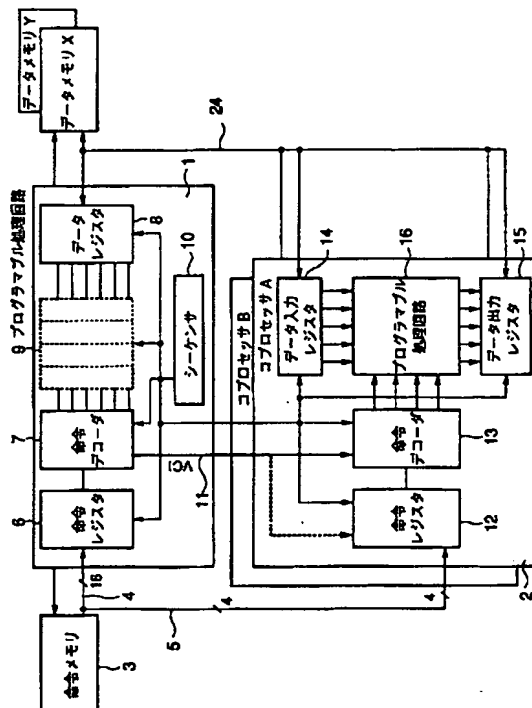
(21) 出願番号 特願平7-136231  
(22) 出願日 平成7年(1995)5月10日  
(31) 優先権主張番号 9 4 0 5 7 6 3  
(32) 優先日 1994年5月10日  
(33) 優先権主張国 フランス (F R)

(71) 出願人 591095720  
エスジェーエーストムソン ミクロエレクトロニクス ソシエテ アノニム  
SGS-THOMSON MICROELECTRONICS SOCIETE ANONYME  
フランス国 94250 ジャンティイ アヴニュガリエニ 7  
(72) 発明者 ジャンールイ ラボリエ  
フランス国 38120 サン テグレヴ リュデュフルネ 6  
(74) 代理人 弁理士 越場 隆

(54) 【発明の名称】 コプロセッサを使用するための電子回路及び方法

(57) 【要約】

【構成】 命令がコプロセッサで実行されねばならない命令であることをデコーディング中に認識されると、命令コードのデコーディング直後のサイクルにコプロセッサが動作を開始するプロセッサおよびコプロセッサ技術。命令の相補的なデコーディングによりコプロセッサの構成において時間のロスなくすることができる。この型の技術は、特に音声処理のような、特定の処理の実行を委ねられたデジタルプロセッサに特に有効である。



## 【特許請求の範囲】

【請求項1】 プロセッサおよび第1のコプロセッサを備えた電子回路において、

プロセッサおよび第1のコプロセッサが、命令メモリのデータ出力バスの少なくとも複数の線を介して命令メモリに接続されており、

プロセッサが、第1の命令デコーダ内に、バスによって転送される命令においてこの命令の少なくとも一部が第1のコプロセッサによって実行されなければならないという事実を認識して対応する認識信号を第1のコプロセッサに送信する回路を備え、

第1のコプロセッサが、認識信号を受けた時に第1のコプロセッサ自身が命令を実行することを許可するための有効化回路を備えることを特徴とする回路。

【請求項2】 上記電子回路がモノリシック集積回路であって、第1のコプロセッサが、命令メモリの出力バスに接続された第2の命令デコーダと、

第2のデコーダに接続されて第2のデコーダによってデコードされた命令を記憶して実行を可能にする命令レジスタと、

命令レジスタによって転送される命令に応じてデータ要素を処理するプログラマブル回路と、

上記集積回路のデータバスに接続された入力と、第1のコプロセッサの上記処理回路に接続された出力とを有するデータ入力レジスタと、

第1のコプロセッサの上記処理回路に接続された入力と、上記集積回路のデータバスに接続された出力とを有するデータ出力レジスタとを備えることを特徴とする請求項1に記載の回路。

【請求項3】 第1のコプロセッサと並列に接続されて、2つの異なるデータメモリからのデータ要素を同時に処理する第2のコプロセッサを備えることを特徴とする請求項2に記載の回路。

【請求項4】 プロセッサの動作サイクルよりも長く続く多サイクル命令をプロセッサが実行している場合に、認識信号が送られるのを遅らせる遅延回路をプロセッサが備えることを特徴とする請求項3に記載の回路。

【請求項5】 上記遅延回路が、第1のデコーダ内の、複数の単位命令が並べられて構成され最後の単位命令がわかる多サイクル命令を検知するデコード回路と、多サイクル命令終了後に認識信号の転送を許可する回路とを備えることを特徴とする請求項4に記載の回路。

【請求項6】 上記遅延回路が、第1のデコーダ内の、多サイクル命令の存在する事実を検知するデコード回路と、

プロセッサによる多サイクル命令の実行時間に依存する開始条件を予想し、多サイクル命令の終わりに認識信号を転送することを許可する信号を発生するアップ/ダウンカウンタとを備えることを特徴とする請求項4に記載

の回路。

【請求項7】 プロセッサの動作サイクルよりも長く続く多サイクル命令をプロセッサが実行している場合に、認識信号が送られるのを遅らせる遅延回路をプロセッサが備えることを特徴とする請求項2に記載の回路。

【請求項8】 上記遅延回路が、第1のデコーダ内の、複数の単位命令が並べられて構成され最後の単位命令がわかる多サイクル命令を検知するデコード回路と、

多サイクル命令終了後に認識信号の転送を許可する回路とを備えることを特徴とする請求項7に記載の回路。

【請求項9】 遅延回路が、第1のデコーダ内の、多サイクル命令の存在する事実を検知するデコード回路と、

プロセッサによる多サイクル命令の実行時間に依存する開始条件を予想し、多サイクル命令の終わりに認識信号を転送することを許可する信号を発生するアップ/ダウンカウンタとを備えることを特徴とする請求項7に記載の回路。

【請求項10】 第1のコプロセッサと並列に接続されて、2つの異なるデータメモリからのデータ要素を同時に処理する第2のコプロセッサを備えることを特徴とする請求項1に記載の回路。

【請求項11】 プロセッサの動作サイクルよりも長く続く多サイクル命令をプロセッサが実行している場合に、認識信号が送られるのを遅らせる遅延回路をプロセッサが備えることを特徴とする請求項10に記載の回路。

【請求項12】 上記遅延回路が、第1のデコーダ内の、複数の単位命令が並べられて構成され最後の単位命令がわかる多サイクル命令を検知するデコード回路と、多サイクル命令終了後に認識信号の転送を許可する回路とを備えることを特徴とする請求項11に記載の回路。

【請求項13】 上記遅延回路が、第1のデコーダ内の、多サイクル命令の存在する事実を検知するデコード回路と、

プロセッサによる多サイクル命令の実行時間に依存する開始条件を予想し、多サイクル命令の終わりに認識信号を転送することを許可する信号を発生するアップ/ダウンカウンタとを備えることを特徴とする請求項11に記載の回路。

【請求項14】 プロセッサの動作サイクルよりも長く続く多サイクル命令をプロセッサが実行している場合に、認識信号が送られるのを遅らせる遅延回路をプロセッサが備えることを特徴とする請求項1に記載の回路。

【請求項15】 上記遅延回路が、第1のデコーダ内の、複数の単位命令が並べられて構成され最後の単位命令がわかる多サイクル命令を検知するデコード回路と、

多サイクル命令終了後に認識信号の転送を許可する回路

とを備えることを特徴とする請求項14に記載の回路。

【請求項16】 遅延回路が、  
第1のデコーダ内の、多サイクル命令の存在する事実を検知するデコード回路と、  
プロセッサによる多サイクル命令の実行時間に依存する開始条件を予想し、多サイクル命令の終わりに認識信号を転送することを許可する信号を発生するアップ/ダウンカウンタとを備えることを特徴とする請求項14に記載の回路。

【請求項17】 プロセッサとコプロセッサの使用方法であって、  
命令メモリの出力バスの少なくとも複数の線を介して、命令の少なくとも等しい一部をプロセッサとコプロセッサとに同時に転送する段階と、  
プロセッサで命令をデコードし、デコードされた命令がコプロセッサによって実行されなければならないという事実に対応する認識信号をプロセッサ内で発生させる段階と、  
コプロセッサが認識信号を受けた場合にコプロセッサに命令を実行させ、続くサイクル中に命令を実行できるようにする段階と、を含むことを特徴とする方法。

【請求項18】 プロセッサのシーケンサが同期化された命令を、コプロセッサの命令デコーダ、コプロセッサの命令レジスタ、コプロセッサのプログラマブル処理回路、コプロセッサのデータ入力レジスタ、およびコプロセッサのデータ出力レジスタに送るように構成されていることを特徴とする請求項17に記載の方法。

【請求項19】 プロセッサが、コプロセッサの動作に必要なメモリへのアクセスポイントを管理するように構成されていることを特徴とする請求項18に記載の方法。

【請求項20】 プロセッサが、コプロセッサの動作に必要なメモリへのアクセスポイントを管理するように構成されていることを特徴とする請求項17に記載の方法。

【請求項21】 プロセッサおよび第1のコプロセッサとともに使用する電子回路であって、  
命令メモリ、プロセッサおよび第1のコプロセッサの間に機能上接続されている命令バスと、  
プロセッサ内にある第1の命令デコーダで、上記命令バスに機能上接続されており、認識信号出力を有する命令デコーダと、

第1のコプロセッサ内にある有効化回路で、上記命令デコーダの認識信号出力に機能上接続された有効化入力を有する有効化回路とを備えることを特徴とする回路。

【請求項22】 モノリシック集積回路内に備えられ、第1のコプロセッサ内に、  
上記命令バスに機能上接続された第2の命令デコーダと、  
上記命令バスに機能上接続された命令レジスタと、  
上記命令レジスタに機能上接続されたプログラマブル処理回路と、

上記集積回路のデータベースに接続された入力と、第1のコプロセッサの上記処理回路に機能上接続された出力とを有するデータ入力レジスタと、

第1のコプロセッサの上記処理回路に接続された入力と、上記集積回路のデータベースに機能上接続された出力とを有するデータ出力レジスタとを備えることを特徴とする請求項21に記載の回路。

【請求項23】 第2のコプロセッサが機能上第1のコプロセッサと並列に接続され、第1のコプロセッサが第1のデータメモリと機能上接続され、第2のコプロセッサが第2のデータメモリと機能上接続されていることを特徴とする請求項22に記載の回路。

【請求項24】 プロセッサの動作サイクルよりも長く続く多サイクル命令を検知すると、認識信号出力に認識信号が出力されるのを遅らせる遅延回路を第1のデコーダ内に備えることを特徴とする請求項23に記載の回路。

【請求項25】 上記遅延回路が、  
第1のデコーダ内の、複数の単位命令が並べられて構成され最後の単位命令がわかる多サイクル命令を検知するデコード回路と、

上記デコード回路に機能上接続され、最後の単位命令を検知した際に認識信号を転送することを可能にする回路とを備えることを特徴とする請求項24に記載の回路。

【請求項26】 上記遅延回路が、  
第1のデコーダ内の、多サイクル命令の存在を検知するデコード回路と、

多サイクル命令のプロセッサによる実行時間に依存する開始条件を予想し、多サイクル命令の終わりに認識信号を転送することを可能にする信号を発生するアップ/ダウンカウンタとを備えることを特徴とする請求項24に記載の回路。

【請求項27】 プロセッサの動作サイクルよりも長く続く多サイクル命令を検知すると、認識信号出力に認識信号が出力されるのを遅らせる遅延回路を第1のデコーダ内に備えることを特徴とする請求項22に記載の回路。

【請求項28】 上記遅延回路が、  
第1のデコーダ内の、複数の単位命令が並べられて構成され最後の単位命令がわかる多サイクル命令を検知するデコード回路と、

上記デコード回路に機能上接続され、最後の単位命令を検知した際に認識信号を転送することを可能にする回路とを備えることを特徴とする請求項27に記載の回路。

【請求項29】 上記遅延回路が、  
第1のデコーダ内の、多サイクル命令の存在を検知するデコード回路と、

多サイクル命令のプロセッサによる実行時間に依存する開始条件を予想し、多サイクル命令の終わりに認識信号を転送することを可能にする信号を発生するアップ/ダウンカウンタとを備えることを特徴とする請求項27に記載の回路。

【請求項30】 第2のコプロセッサが機能上第1のコプロセッサと並列に接続され、第1のコプロセッサが第1のデータメモリと機能上接続され、第2のコプロセッサが第2のデータメモリと機能上接続されていることを特徴とする請求項21に記載の回路。

【請求項31】 プロセッサの動作サイクルよりも長く続く多サイクル命令を検知すると、認識信号出力に認識信号が出力されるのを遅らせる遅延回路を第1のデコーダ内に備えることを特徴とする請求項30に記載の回路。

【請求項32】 上記遅延回路が、第1のデコーダ内の、複数の単位命令が並べられて構成され最後の単位命令がわかる多サイクル命令を検知するデコード回路と、

上記デコード回路に機能上接続され、最後の単位命令を検知した際に認識信号を転送することを可能にする回路とを備えることを特徴とする請求項31に記載の回路。

【請求項33】 上記遅延回路が、第1のデコーダ内の、多サイクル命令の存在を検知するデコード回路と、

多サイクル命令のプロセッサによる実行時間に依存する開始条件を予想し、多サイクル命令の終わりに認識信号を転送することを可能にする信号を発生するアップ/ダウンカウンタとを備えることを特徴とする請求項31に記載の回路。

【請求項34】 プロセッサの動作サイクルよりも長く続く多サイクル命令を検知すると、認識信号出力に認識信号が出力されるのを遅らせる遅延回路を第1のデコーダ内に備えることを特徴とする請求項21に記載の回路。

【請求項35】 上記遅延回路が、第1のデコーダ内の、複数の単位命令が並べられて構成され最後の単位命令がわかる多サイクル命令を検知するデコード回路と、

上記デコード回路に機能上接続され、最後の単位命令を検知した際に認識信号を転送することを可能にする回路とを備えることを特徴とする請求項34に記載の回路。

【請求項36】 上記遅延回路が、第1のデコーダ内の、多サイクル命令の存在を検知するデコード回路と、

多サイクル命令のプロセッサによる実行時間に依存する開始条件を予想し、多サイクル命令の終わりに認識信号を転送することを可能にする信号を発生するアップ/ダウンカウンタとを備えることを特徴とする請求項34に記載の回路。

【請求項37】 プロセッサおよびコプロセッサを使用する方法において、

命令の少なくとも一部をプロセッサおよびコプロセッサに同時に転送する段階と、

命令に基づきプロセッサにより認識信号が発生されたか、否かを検知する段階と、

認識信号に対応して、コプロセッサに命令の少なくとも

一部を実行させる段階とを含むことを特徴とする方法。

【請求項38】 多サイクル命令の検知により認識信号を遅らせる遅延段階を含むことを特徴とする請求項37に記載の方法。

【請求項39】 上記遅延段階が、上記多サイクル命令の最後の単位命令を検出する段階を含むことを特徴とする請求項38に記載の方法。

【請求項40】 上記遅延段階が、上記多サイクル命令の時間をカウンタを用いて測定することを特徴とする請求項38に記載の方法。

【請求項41】 プロセッサのシーケンサ使用して同期化された命令を、コプロセッサの命令デコーダ、コプロセッサの命令レジスタ、コプロセッサのプログラマブル処理回路、コプロセッサのデータ入力レジスタ、およびコプロセッサのデータ出力レジスタに転送する段階を含むことを特徴とする請求項37に記載の方法。

【請求項42】 プロセッサにより、コプロセッサの動作に必要なメモリへのアクセスポイントを管理する段階を含むことを特徴とする請求項37に記載の方法。

【請求項43】 プロセッサおよびコプロセッサにおいて、命令の少なくとも一部を同時にデコードする段階を含むことを特徴とする請求項37に記載の方法。

【請求項44】 認識信号が無い場合に、コプロセッサが命令の少なくとも一部を実行することを抑える段階を含むことを特徴とする請求項37に記載の方法。

【請求項45】 プロセッサおよびコプロセッサにおいて、命令の少なくとも一部を同時にデコードする段階と、

認識信号が無い場合に、コプロセッサが命令の少なくとも一部を実行することを抑える段階と、多サイクル命令の検知により認識信号を遅らせる段階とを含むことを特徴とする請求項37に記載の方法。

【請求項46】 上記遅延段階が、上記多サイクル命令の最後の単位命令を検出する段階を含むことを特徴とする請求項45に記載の方法。

【請求項47】 上記遅延段階が、上記多サイクル命令の時間をカウンタを用いて測定することを特徴とする請求項45に記載の方法。

【請求項48】 プロセッサのシーケンサ使用して同期命令を、コプロセッサの命令デコーダ、コプロセッサの命令レジスタ、コプロセッサのプログラマブル処理回路、コプロセッサのデータ入力レジスタ、およびコプロセッサのデータ出力レジスタに転送する段階を含むことを特徴とする請求項45に記載の方法。

【請求項49】 プロセッサにより、コプロセッサの動作に必要なメモリへのアクセスポイントを管理する段階を含むことを特徴とする請求項45に記載の方法。

【請求項50】 プロセッサおよびコプロセッサとともに使用する回路であって、

命令メモリからプロセッサおよびコプロセッサの両方に

少なくとも命令の一部を同時に供給する手段と、  
命令に基づきプロセッサにより認識信号が発生された  
か、否かを検知する上記命令供給手段にตอบสนองする検知手  
段と、  
認識信号に対応してコプロセッサに命令の少なくとも一  
部を実行させる上記検知手段にตอบสนองする手段とを備える  
ことを特徴とする回路。

【請求項51】 同期化された命令を、コプロセッサの  
命令デコーダ、コプロセッサの命令レジスタ、コプロセ  
ッサのプログラマブル処理回路、コプロセッサのデータ  
入力レジスタ、およびコプロセッサのデータ出力レジスタ  
に転送するシーケンサ手段をプロセッサ内に含むこと  
を特徴とする請求項50に記載の回路。

【請求項52】 コプロセッサの動作に必要なメモリへ  
のアクセスポイントを管理する手段をプロセッサ内に含  
むことを特徴とする請求項50に記載の回路。

【請求項53】 多サイクル命令の検知により認識信号  
を遅らせる遅延手段を含むことを特徴とする請求項50に  
記載の回路。

【請求項54】 上記遅延手段が、上記多サイクル命令  
の最後の単位命令を検出する手段を含むことを特徴とす  
る請求項50に記載の回路。

【請求項55】 上記遅延手段が、上記多サイクル命令  
の時間を測定するカウント手段を有することを特徴とす  
る請求項50に記載の回路。

【請求項56】 プロセッサおよびコプロセッサにおい  
て、命令の少なくとも一部を同時にデコードする手段を  
含むことを特徴とする請求項50に記載の回路。

【請求項57】 認識信号が無い場合に、コプロセッサ  
が命令の少なくとも一部を実行することを抑える上記検  
知手段にตอบสนองする手段を含むことを特徴とする請求項50  
に記載の回路。

【請求項58】 認識信号が無い場合に、コプロセッサ  
が命令の少なくとも一部を実行することを抑える上記検  
知手段にตอบสนองする手段と、  
プロセッサおよびコプロセッサにおいて、命令の少なく  
とも一部を同時にデコードする手段と、  
多サイクル命令の検知により認識信号を遅らせる遅延手  
段とを含むことを特徴とする請求項50に記載の回路。

【請求項59】 上記遅延手段が、上記多サイクル命令  
の最後の単位命令を検出する手段を含むことを特徴とす  
る請求項58に記載の回路。

【請求項60】 上記遅延手段が、上記多サイクル命令  
の時間を測定するカウント手段を有することを特徴とす  
る請求項58に記載の回路。

【請求項61】 同期化された命令を、コプロセッサの  
命令デコーダ、コプロセッサの命令レジスタ、コプロセ  
ッサのプログラマブル処理回路、コプロセッサのデータ  
入力レジスタ、およびコプロセッサのデータ出力レジスタ  
に転送するシーケンサ手段をプロセッサ内に含むこと

を特徴とする請求項58に記載の回路。

【請求項62】 コプロセッサの動作に必要なメモリへ  
のアクセスポイントを管理する手段をプロセッサ内に含  
むことを特徴とする請求項58に記載の回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子回路に関するもの  
であり、特に、集積回路及びプロセッサをコプロセッサ  
と協調させることができるようにするその集積回路の使  
用に関するものである。本発明は、特徴の1つが処理速  
度であるデジタルシグナルプロセッサ（DPSとして知  
られている）の分野に特に係わるものである。このよう  
なデジタルシグナルプロセッサは、符号化動作または暗  
号化動作、特にモデムにおけるまたは音声処理動作のた  
めの符号化動作または暗号化動作を実行するために伝送  
システムにおいて使用される。

【0002】

【従来の技術】知られているデジタルプロセッサは、プ  
ログラマブル（プログラム可能な）処理回路をプログラ  
ムして、そのプログラマブル処理回路のプログラムされ  
た状態に応じてデータを変更するために使用される1組  
の回路を具備している。そのプログラマブル処理回路の  
プログラムされた状態の変更は、命令として知られてい  
るデータ信号をそのプログラマブル処理回路に供給して  
なされる。プロセッサの様々な回路は特に、命令レジス  
タ及びデータレジスタを具備しており、プログラマブル  
処理回路と、そのプログラマブル処理回路に様々な命令  
及び様々なデータを供給するシーケンスを、タイミング  
を合わせて構成するシーケンサとをリンクする。この動  
作のシーケンサがプログラムと称される。普通、このよ  
うなプロセッサは、適切な命令が供給されるならば、任  
意の型式の動作を実行することができる。

【0003】しかし、特に複雑で長い或る種の特別な処  
理動作が高速で実行されねばならないとき、問題が生じ  
る。この場合、普通に使用される型式のプロセッサに頼  
ることはできない。なぜならば、そのようなプロセッサ  
を使用するならば、連続する命令の実行が、特別な処理  
動作の複雑さのために過剰に長い期間遅れる。例えば、  
各動作が1サイクルの期間で足りるような所与の速度で  
プロセッサの作業が実行されねばならないと仮定する。そ  
の作業の間に、1サイクル期間の50倍の期間を要する動  
作に出現する可能性がある。

【0004】この種の長い動作を含めて全ての動作を、  
1サイクルの間に、または少なくとも高速で実行するた  
めに、コプロセッサの技術が利用されている。実際、コ  
プロセッサは、普通のプロセッサでは50サイクルを要し  
たであろう動作を高速で（例えば、3乃至4サイクル内  
で）実行することができる特別な回路である。しかし、  
コプロセッサを適切なタイミングで動作させるために  
は、プロセッサがコプロセッサが協調するように構成し

て、コプロセッサに必要なデータを供給してコプロセッサに処理を移す必要がある。そのあと、コプロセッサは、独立して作業を開始し、その作業を完了し次第、処理済のデータが使用可能であることをプロセッサに通知する。

【0005】しかし、このような動作のモードは、単一サイクル期間の間に実行されねばならない動作があまり長くないとき、例えば、動作が5サイクル期間しか必要としないとき、考えられない。実際、コプロセッサを動作するように構成するには、5サイクルの期間を必要とし、一方、1サイクルの間に作業を遂行するようにコプロセッサが構成されているならば、基本的に低速なプロセッサに作業を直接実行させた場合に得られるであろう利点と比較して、なんら利点が得られない。

【0006】

【発明が解決しようとする課題】そこで、本発明は、非常に長く且つ複雑な動作をコプロセッサが実行しなければならないときにも有効であるが、コプロセッサを動作させる期間を短くする課題を解決せんとするものである。

【0007】

【課題を解決するための手段】本発明によるならば、プロセッサの全体回路の予備的定義の後に意図されるとき、同一の1つの電子回路に相補的な機能を実行させる。この場合、コプロセッサは、實際上、既知のしかし複雑な余り使用されない動作の処理に専用な特別な回路であるので、集積回路を全体的に再設計することが可能である。しかし、異なる要望一つ一つに新しく集積回路を用意することは、回路全体が問題である場合、余りの複雑な作業である。

【0008】本発明のシステムでは、回路の心臓部を維持して、回路の心臓部が常に同一であるように保つことが可能である。すなわち、プロセッサは、常時維持される。反対に、特に高速で実行されねばならない特別な動作のために、特別なコプロセッサが同一の1つの集積回路につくられる。本発明が提案するプロセッサとコプロセッサとの間の交換モードは、この種の変更に特に有益である。コプロセッサは、コプロセッサに送られてきた命令に従ってデータを処理する回路を有していることが好ましい。

【0009】本発明の1つの特徴は、プロセッサのシーケンスによって送られた命令が、コプロセッサを案内するために使用されることである。更に、プロセッサ及びコプロセッサが、命令メモリの同一出力バスに接続され、その命令メモリから読み出された命令を同時に受ける。プロセッサ及びコプロセッサの両方が、命令デコードを有している。本発明によるならば、プロセッサの命令デコードは、命令がコプロセッサによって実行されねばならないことを認識して、対応する認識信号を生成する回路を有している。この認識信号は、コプロセッサに送られ、その動作を有効化する。本発明においては、プ

ロセッサ及びコプロセッサの両方が並列しているので、プロセッサによる命令のデコーディングと同時に行われるコプロセッサによる命令のデコーディングが、有効化され、コプロセッサが命令を実行することができる。好ましくは、命令の実行は、デコーディングに続くサイクルにおいてなされ、コプロセッサは、コプロセッサが有効にデコードされた命令の全てを実行することができる。

【0010】本発明においては、補助コプロセッサの動作時間は、主プロセッサの動作時間の内の1サイクルに限定することが好ましい。しかし、プロセッサの制御で、コプロセッサを連続して数サイクル動作させることができる。

【0011】コプロセッサを動作させる本発明において選んだデコーディングの原理は、特に自由度が高く、プロセッサとコプロセッサとのほぼ並列した動作に適している。更に、コプロセッサの構成を簡略化するために、データメモリからコプロセッサへのデータの転送の全ての動作は、プロセッサの制御の下に行われる。従って、コプロセッサにより実行されねばならない命令の場合には、処理されるべきデータをコプロセッサに処理動作の始めに与え、処理動作の終わりに処理されたデータを受け取るように、プロセッサは動作する。

【0012】かくして、本発明によるならば、命令メモリのデータ出力バスの内の少なくとも複数の線を介して同一の1つの命令メモリに接続されたプロセッサとコプロセッサとを備える電子回路を提案する。プロセッサの命令デコードは、バスを介して転送された命令から、当該命令がコプロセッサによって少なくとも部分的に実行されねばならないことを認識して、対応する認識信号をコプロセッサに送る回路を具備している。コプロセッサは、コプロセッサがその認識信号を受けたときコプロセッサが命令を実行することを許可する有効化回路を有している。

【0013】更に本発明によるならば、プロセッサとコプロセッサとの使用方法が提案される。本発明の方法においては、命令の少なくとも同一部分が、命令メモリのデータ出力バスの内の少なくとも複数の線を介して、たプロセッサとコプロセッサとに同時に送られる。その命令は、プロセッサでデコードされ、デコードされた命令がコプロセッサによって実行されねばならないことを示す認識信号が生成される。そして、コプロセッサは、コプロセッサがその認識信号を受けたときコプロセッサが命令を実行することが許可される。

【0014】

【実施例】図1は、本発明による電子回路を図示している。この電子回路は、プロセッサ1とコプロセッサ2とを具備している。例えば、プロセッサ1は、デジタルデコード転送、特にビット制御機能、外部から与えられるフレームとの同期、並びに転送すべきデータの圧縮動作



などの、モデムの共通機能を全てを実行するように構成されたプロセッサである。1つの例では、コプロセッサは、既知のVITERBI型の畳込み及び等化アルゴリズムを実行するように構成されている。当然、このコプロセッサは、データの到着及び出力速度でリアルタイムで動作して、遅延なくデータを転送しなければならない。このようなVITERBIアルゴリズムにおいて実行されなければならない動作は複雑である。従って、プロセッサ1が、超高速回路（従って、製造が困難で且つ高価な回路）を具備するように構成されるか、または、この機能のために特化すなわち専用化されていない限り、そのような動作は、プロセッサ1によって実行させることを考えることはできなかった（ここで、専用化した回路は、それ自体既知の一般的な処理機能と共に、既知の1つのエンコーディングVITERBI機能を最終的に有しているだけあるが、再定義及び再構成のために多大な労力を必要としている）。

【0015】本発明の特徴の1つは、プロセッサ1とコプロセッサ2とがバス4を介して同一の1つの命令メモリ3に接続されていることである。図示の例では、バス4の線の内の少なくとも一部5（バス5）がコプロセッサ2に接続されている。図2に示すように、1つの例での命令ワードは、16ビットでエンコードされており、命令メモリ3は、バス4上に並列な16の出力を有しており、各出力が16ビットの各1ビットを出力する。更に後述するように、バス5は、16ビットではなく、4ビットしかない。その4ビットは、命令メモリ3から出力される16ビットの内の4ビットである。

【0016】プロセッサ1は、標準的な命令レジスタ6を有しており、その命令レジスタ6は、その入力バス4に接続され、その出力が命令デコーダ7に接続されている。データメモリXまたはYからのデータは、プロセッサ1の入出力データレジスタ8に送られる。プロセッサ1のプログラマブル処理回路9は、データレジスタ8に格納されたデータに対して、プログラムされた処理動作を実行する。このプログラムされた処理動作は、命令レジスタ6に格納された2進データによって、その動作パラメータを設定する。処理動作の終了で、プロセッサ1が接続されている様々な周辺機器に分配されるデータが、入出力データレジスタ8において利用できる。上述したアーキテクチャは、プロセッサの全く一般的なアーキテクチャである。シーケンサ10は、それら回路6～9を制御する。

【0017】本発明の特別な特徴の1つは、命令デコーダ7が、命令の実行中に使用される制御信号だけでなく、接続線11（1本以上の線）を介してコプロセッサ2に送られる“VCI”として知られている認識信号も生成することである。信号VCIは、命令デコーダ7によってデコードされた命令が、コプロセッサ2によって実行されるべき命令であることを指示する信号である。

【0018】プロセッサ1と同様に、コプロセッサ2も、命令レジスタ12と、命令デコーダ13と、データ入力レジスタ14と、データ出力レジスタ15と、プログラマブル処理回路16とを具備している。命令レジスタ12は、その入力バス5に接続され、その出力が命令デコーダ13に接続されている。命令デコーダ13は、その出力がプログラマブル処理回路16に接続されている。コプロセッサ2は、複数のコプロセッサ命令を連携させる比較的複雑な動作を実行することか必要な場合には、シーケンサを具備していてもよい。

【0019】コプロセッサ2内の様々な回路は、プロセッサ1のシーケンサ10によって同期が図られることが好ましい。実際、プロセッサ1の1サイクル期間の間にコプロセッサ2に具体的な動作を実行させたいので、この制御タスクは、最も基本的な型式である。すなわち、それは、まさに、クロックレート設定制御である。処理回路16は、プログラマブルであるが特別な回路であることが好ましい。ここで、プログラマブルとは、命令レジスタ12に格納されている或る数の命令によってパラメータが設定可能であるとの意味である。例えば、本発明におけるこの命令の数は16である。その理由は、バス5を介して4ビットを転送することしか必要でないためである（ $2^4 = 16$ ）。小さな範囲でプログラマブルであるにも係わらず、処理回路16は、恒久的に固定された接続で、非常に多くの動作を物理的に実行する非常に複雑な特別な回路となることができる。反対に、プロセッサ1の処理回路9は、非常に自由度が高く、一般的な動作を実行することができる。すなわち、約1000の異なる命令を実行できる。

【0020】本発明の特別な特徴のもう1つは、命令デコーダ13、命令レジスタ12または他の回路14～16の内の任意の回路が、信号VCIを受ける有効化入力（有効化入力）を有しまたはと有することででき、認識信号が受けられたとき、処理回路による命令の実行を許可することである。図1は、命令デコーダ13または点線で示すように命令レジスタ12が信号VCIによって有効化されるようにしか図示していない。有効化回路は、非常に簡単でよい。すなわち、有効化回路は、単位回路を動作状態に置く“チップイネーブル”型のON信号を通過を許可または禁止するスイッチ（トランジスタ）を簡単に有しているものでよい。

【0021】図2は、命令メモリ3から出力される命令ワードの16ビットの構成を示すものである。最初の11ビットは、命令コードを表しており、最後の5ビットは、プロセッサ1またはコプロセッサ2とデータメモリXまたはYとの間のデータ交換モードに対応する。従って、最後の5ビットの内の第1の1ビット17は、選択されたデータメモリ、すなわち、データメモリXかまたはデータメモリYかに関するものである。第2のビット18は、メモリの処理モード、すなわち書込かまたは読み取りか

に関する。第3のビット19は、その選択したデータメモリにおけるアドレスインジケータである。従って、2通りのアドレスインジケータが可能である。残りの2ビット20及び21は、特に使用の場合、データメモリXまたはYにおける4通りのインクリメント値内の1つを指定するものである。実際、読み出されるまたは書き込まれるデータが、予め設定されたアドレスインクリメントで、データ転送ごとに読み出されまたは書き込まれる型式のアドレス動作を実行する方法が様々知られている。

【0022】命令ワードの始めの11ビットの命令コード（なお、ここに示すビットの順番は単なる例に過ぎず、ビットの順番は変えることもできる）は、1000以上の命令（すなわち、プロセッサ1により実行される1000の命令およびコプロセッサ2により実行される16の命令）の定義を可能にする。コプロセッサ2により実行される16の命令に対応するコードは、命令レジスタ12に接続されたバス5の4本の接続線に対応する命令ワードの4ビットゾーン22に常に置かれる。上述した5ビットでは、それら5ビットの特定の値の配列が、コプロセッサ2を動作状態に置かねばならないことを指示するため使用される。

【0023】以下に説明する特定な例では、コプロセッサ2は、コプロセッサが2つのコプロセッサすなわちコプロセッサA及びコプロセッサBとに分けられているとすることができる意味において、実際には多少複雑な回路である。この二重の表現は、扱われるメモリが2つのデータメモリX及びYであることから、部分的には理解できよう。それ故、或る命令に対して、データメモリXまたはデータメモリYからのデータを処理回路16がその入力データレジスタ14で受ける。それ異なり、別の或る命令に対して、データメモリXのデータとデータメモリYのデータとを同時に処理する必要があるならば、データ入力レジスタ14を二倍にする必要があることを証明している。このことは、出力データメモリ15にも当てはまり、二倍にしなければならない。実際、処理回路16には、他方のメモリからのデータを同時に考慮する回路（不図示）が付加される。このような複雑さを伴う命令の場合、実際には、コプロセッサAがデータメモリXのデータを処理し、コプロセッサBがデータメモリYのデータを処理するようにし、またはその反対に、コプロセッサAがデータメモリYのデータを処理し、コプロセッサBがデータメモリXのデータを処理するようにしてもよい。または、単一のコプロセッサの処理回路が、同時に受けたデータメモリXのデータとデータメモリYのデータとに係わる動作を実行してもよい。

【0024】しかし、所与のサイクルには1つの命令しかロードされないの、原理的には、命令レジスタ13は、両処理回路に対して同じものである。実際、このことにより、図2の命令ワードの残りの5ビットゾーンにおいて、1つのまたは2つのまたは3つの異なる識別コ

ードを定義する必要が生じる。それら識別コードとは、コプロセッサAが動作されることを指示する識別コードCOP Aと、コプロセッサBが動作されることを指示する識別コードCOP Bと、更に必要ならば、コプロセッサA及びコプロセッサBの両方が動作されることを指示する識別コードCOP ABとである。実際、これら2または3つの識別コードは、命令ワードの最初の5ビットを表す特定な形でよい。コプロセッサは、上記した専用コードで選択してもよいし、または、初期化段階で、コプロセッサの内部ステータスレジスタに命令を書き込むことによってコプロセッサの動作が有効化されるようにしてもよい。後者の場合、各コプロセッサは、機能を開始する前に、先ず最初に、有効化され、そのあと、無効化されねばならない。常に1つのコプロセッサだけが動作可能であるようにすることもできる。シーケンサ10には、有効情報及び無効情報をロードすることができる。

【0025】本発明の特別な特徴は、命令デコーダ7が、特定の表現型式から信号VCIを生成することである。この作業モードは、コプロセッサ2によって実行できる $3 \times 16 = 48$ の命令を定義することが究極的に可能である。既知の型式の命令デコーダ7において、これら表現型式の検出には何らの困難を生じない。従って、対応する信号VCIを容易に生成できる。

【0026】データ入出力レジスタ8、データ入力レジスタ14またはデータ出力レジスタ15は、データバス24を介してデータメモリXまたはYに結合されている。そのデータバス24の線の数は、データに対して要求される精度に関係しており、例えば、16ビットまたは32ビットまたはそれ以上である。プロセッサ1は、普通の方法で命令メモリ3及びデータメモリX及びYにアドレスするための回路（不図示）を更に有している。

【0027】図3は、本発明による回路の動作を分かり易く説明するものである。図3(a)は、プロセッサ1が命令メモリ3にアドレスすなわちアクセスして命令を得て命令を命令レジスタにロードする動作を図示している。例えば、プロセッサ1は先ず最初に、プロセッサ1の処理回路9により実行可能な命令IP1を得て、その後、コプロセッサ2の処理回路16により実行可能な命令IC1を得て、次いで、プロセッサ1により実行可能な命令IP2を得て、その後、コプロセッサ2により実行可能な命令IC2を得ているように図示されている。この態様が続くと、シーケンサ10は、命令メモリ3からの命令を読み取ることができるよう回路を組織しすなわち制御して、所望の命令をバス4及び5に出力させる。

【0028】図3(b)は、互いに並列に接続された命令データ7及び命令データ13の両方における、続く動作サイクルでの命令のデコーディングを示している。コプロセッサ命令を示す信号VCIが有効である場合、命令デコーダ13の動作が有効化される。このようにして、これ

らのデコーダは、続くサイクルで命令IP1、IC1、IP2する。しかし、命令IC2は、命令IP2が読み取られたすなわちデコードされたサイクルに続くサイクルではデコードされない。これを後述する。

【0029】図3(c)は、プロセッサ1のための命令のプロセッサ1による実行を図示している。図3(d)は、コプロセッサ2のための命令のコプロセッサ2による実行を図示している。そして、図3(e)は、それら実行サイクルの前の、命令デコードサイクルでの有効な信号VCIを示している。命令デコーダ7でのデコーディングは、同一の1つのサイクルの間に、命令デコーダ13でのデコーディングを生起している。(図3(c)の第3サイクルに示すように)全く当然のこととして、プロセッサ1は命令IP1を実行する(なお、データの転送方法は他のところで説明する)。次のサイクルで、プロセッサ1の処理回路の算術オペレータが比活性化される。すなわち、データを処理しない。反対に、コプロセッサ2は、プロセッサ1から信号VCIを受けているまたは受けるので、コプロセッサ2は命令IC1を実行する。命令IC1のデコーディングのときに、命令デコーダ7により信号VCIが生成される。信号VCIは、1サイクルの間だけしか有効化されない。すなわち、この1サイクルは、コプロセッサ命令のデコーディングに対応し且つその実行(ここで説明している例では、1サイクルで完了する)に先行するサイクルである。

【0030】命令IP2は更に1つの特徴を有している。実際、この命令IP2は、プロセッサ1に2以上の動作サイクルを続けさせるように、始めに構成されている。従って、プロセッサ1は、命令が2サイクル命令であることを認識する手段を命令デコーダ7に設けている。例えば、命令コードの11ビットの内の第10ビットがこの場合“1”である。この状態を認識するとき、命令デコーダ7は、命令IP2のデコーディングの終わりで、シーケンサ10の制御信号27(図3(b))により、命令メモリの連続したパイプライン読み取りを一時的に中断乃至保留することが既にできる。命令IP2のデコーディングに続くサイクルで、この命令は処理回路9により実行される。その命令は、命令の第1の部分IP2aと、次のサイクルで実行されるべき第2の部分IP2bとを有している。このような動作は、知られている型式である。

【0031】制御信号27により、命令IC2は、バス4及び5上にあるように保たれていることが好ましい。それ故、命令IP2の第2の部分の始めだけデコーディングをするようすることが重要である。このような手順を満たすように制御信号27はシーケンサ10により生成される。

【0032】更に、制御信号28が生成される。この制御信号28は、プロセッサ1により実行されている多サイクル命令の明確な終わりを指示するものである。制御信号

28は2通りの方法で得ることができる。まず、命令IP2のデコーディングで、すなわち図3(a)から図3(d)の第4サイクル期間で、処理されている命令が2サイクル(nサイクル)を有する多サイクル命令であることを知ることができる。従って、“2-1”(“n-1”)の初期値を有するアップ/ダウンカウンタを動作状態にして、そのアップ/ダウンカウンタが正しいタイミングで制御信号28を生成するようにすることができる。

【0033】好ましい方法では、命令レジスタ6にロードされた命令IP2aまたはIP2bの値を処理することにより、多少異なる手順が行われる。実際には、(究極的にはデコーダと同一の回路で)命令をフィルタリングして、命令の1つが特定の方法で整形されるとき、信号を生成することができる。例えば、命令レジスタ6に格納されている命令コードの内の所与の重みすなわち桁位置を有するビットが、ロードされた(1サイクルで実行される)単位命令が最後の(すなわち第2の)単位命令であることを示す所定の値を有するようにすることもできる。この検出により、該当する単位命令をロードするとき(または、直前の単位命令の実行の終わりに)制御信号28を生成することができる。

【0034】プロセッサ1及びコプロセッサ2は、同一の1つの集積回路に作り込まれることが好ましい。集積回路の領域の一部は、上述した全ての回路を有するプロセッサ1のために割り当てられ、集積回路の領域の残りの部分は、場合に応じて広い場合も狭い場合もあるが、専用処理回路のために割り当てられる。プロセッサ1の処理回路9は、約1000の命令を処理する能力を有しているので、処理回路9のプログラミングは非常に複雑である。しかし、プログラマブル処理回路16は、それ自体は複雑であるが、そのプログラミングは非常に簡単である。この複雑な処理回路16は更に、実行しなければならない16の命令に対応する16通りの構成乃至配置の一つ一つごとにテストすることができる。この方法は、プロセッサ1により実行することができる命令セットの中に16の命令を組み込みことと比較するならば、非常に簡単である。

【0035】図3(a)から図3(e)に示すような連続した動作の巧みな選択並びに命令サイクルの間しかコプロセッサの動作を許さない方法により、プロセッサとコプロセッサとの関係を非常に明瞭に単純化し、且つ、コプロセッサ2を動作状態に置くために必要な時間の損失を制限している。実際、本発明においては、時間の損失は零である。コプロセッサは、次のサイクル期間に動作を開始する。それにもかかわらず、制御信号27及び28に匹敵する制御信号を生成し且つそのときコプロセッサ2をオフにする代わりにプロセッサ1をオフにする手段を、シーケンサ10及び命令デコーダ7の中に設けることによって、コプロセッサ2によって実行される多サイクル命令を有することを考えることができる。

【0036】コプロセッサ2の機能を単純化するために、本発明では、データメモリからデータXまたはYを取り出し且つそれらメモリにデータをロードする動作をプロセッサ1が実行する。これは、命令を処理回路9または16の内のどちらが実行するかどうかに係わりなく、データバス24及びデータメモリXまたはYの管理がプロセッサ1に委ねられていることを意味している。しかし、これは何れにしても普通のプロセッサが行うことであるので、構成は複雑ではない。換言するならば、各サイクル期間 $t$ ごとに、“ $t$ ”番目の命令の読み取り(図3(a))、“ $t-1$ ”番目の命令のデコーディング(図3(b))、“ $t-2$ ”番目の命令のプロセッサ1またはコプロセッサ2による実行(図3(c)または図3(d))、“ $t-2$ ”番目の命令に係わるデータのデータメモリXまたはYへの(またはデータレジスタ8または14への)転送、“ $t-1$ ”番目の命令によって処理されたデータのデータメモリXまたはYへの(またはデータレジスタ8または15への)供給がなされる。これら動作の全ては、プロセッサを基本とする集積回路、特に、本件出願人のST9と称するマイクロプロセッサを基本とする回路によって普通の方法で実行される。

【0037】以上、本発明の少なくとも1つの実施例を説明したが、様々な変更または改良が当業者には容易に

できよう。しかし、かかる変更や改良は、本発明の考え方および範囲内に属するものである。従って、上述した説明は、単に例としてなしたものであり、限定するものではない。本発明は、特許請求の範囲に規定されるようにのみ限定されるものである。

#### 【図面の簡単な説明】

【図1】 本発明による電子回路を示すブロック図である。

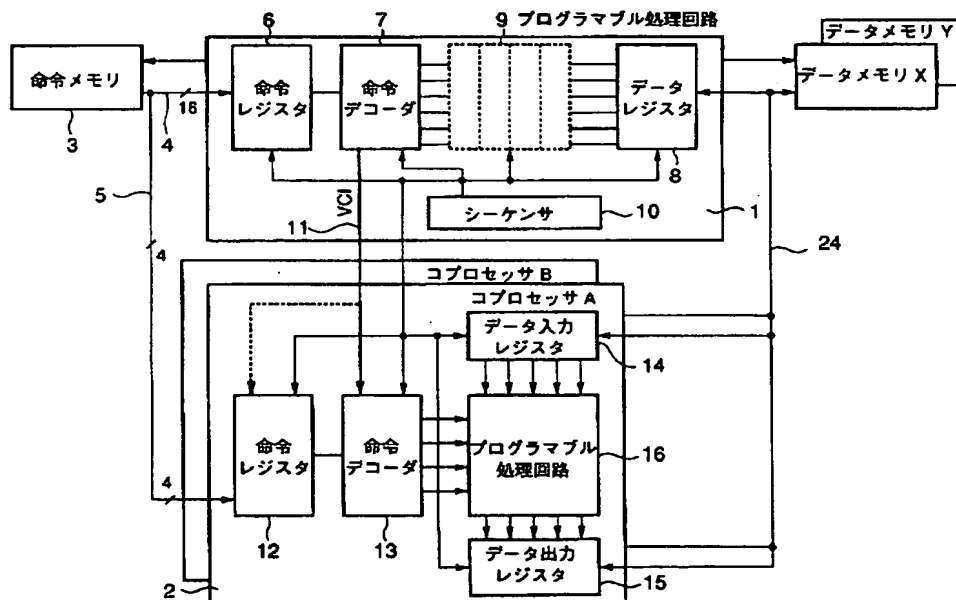
【図2】 本発明による電子回路並びに方法において使用される命令ワードを好ましい構成を示す図である。

【図3】 本発明による電子回路の様々な部分での様々な動作の実行を図解するタイミングチャートである。

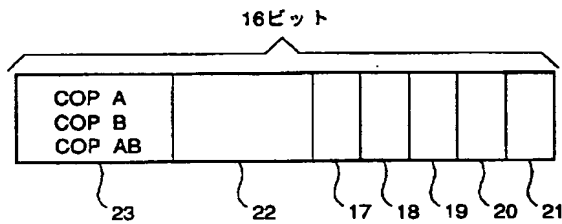
#### 【符号の説明】

- 1 プロセッサ
- 2 コプロセッサ
- 3 命令メモリ
- 4、5 命令バス
- 6、12 命令レジスタ
- 7、13 命令デコーダ
- 8、14、15 データレジスタ
- 9、16 プログラマブル処理回路
- 10 シーケンサ
- X、Y データメモリ

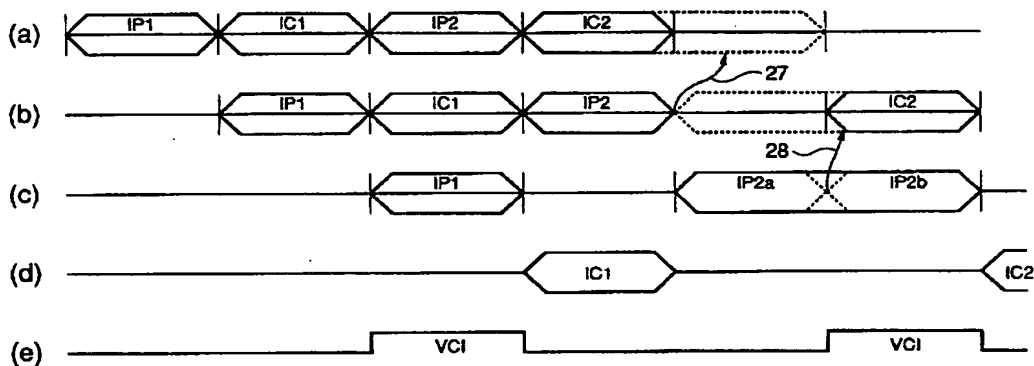
【図1】



【図 2】



【図 3】



## 【手続補正書】

【提出日】平成 7 年 6 月 2 6 日

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

## 【特許請求の範囲】

【請求項 1】 命令メモリと、プロセッサと、コプロセッサを備えた電子回路において、上記プロセッサおよび上記コプロセッサが、上記命令メモリの出力バスの少なくとも複数の線を介して命令メモリに接続されており、上記命令メモリから出力される命令を同時に受けるようになされており、上記プロセッサが、その命令デコーダ内に、転送された命令をデコードしたとき、その転送された命令の少なくとも一部が上記コプロセッサによって実行されなければならないという事実を認識して、対応する認識信号を上記コプロセッサに送信する回路を備え、上記コプロセッサが、その命令デコーダ内に、上記転送された命令をデコードするデコード回路と、上記認識信号を受けた時に、上記転送された命令を上記コプロセッサ自身が命令を実行することを許可するための有効化回路とを備え、上記転送された命令のデコード

と有効化とが同時に行われることを特徴とする回路。

【請求項 2】 上記電子回路がモノリシック集積回路であって、上記コプロセッサが、上記命令メモリの上記出力バスに接続された命令デコーダと、

上記命令デコーダに接続されて、デコードされた命令を記憶して実行を可能にする命令レジスタと、命令レジスタによって転送される命令に応じてデータ要素を処理するプログラマブルな処理回路と、上記集積回路のデータバスに接続された入力と、上記コプロセッサの上記処理回路に接続された出力とを有するデータ入力レジスタと、

上記コプロセッサの上記処理回路に接続された入力と、上記集積回路のデータバスに接続された出力とを有するデータ出力レジスタとを備えることを特徴とする請求項 1 に記載の回路。

【請求項 3】 上記コプロセッサと並列に接続されて、2 つの異なるデータメモリからのデータ要素を同時に処理する第 2 のコプロセッサを備えることを特徴とする請求項 1 または 2 に記載の回路。

【請求項 4】 上記プロセッサの動作サイクルよりも長く続く多サイクル命令を上記プロセッサが実行している場合に、上記認識信号が送られるのを遅らせる遅延回路

を上記プロセッサが備えることを特徴とする請求項1～3の何れか1項に記載の回路。

【請求項5】 上記遅延回路が、  
上記プロセッサの上記命令デコーダ内の、複数の単位命令が並べられて構成され最後の単位命令がわかる多サイクル命令を検知するデコード回路と、  
多サイクル命令終了後に上記認識信号の転送を許可する回路とを備えることを特徴とする請求項4に記載の回路。

【請求項6】 上記遅延回路が、  
上記プロセッサの上記命令デコーダ内の、多サイクル命令の存在を検知するデコード回路と、  
上記プロセッサによる多サイクル命令の実行時間に依存する開始条件に従って設定されて、多サイクル命令の終わりに上記認識信号を転送することを許可する信号を発生するアップ/ダウンカウンタとを備えることを特徴とする請求項4に記載の回路。

【請求項7】 プロセッサとコプロセッサの使用方法であって、  
命令メモリの出力バスの少なくとも複数の線を介して、

命令の少なくとも等しい一部をプロセッサとコプロセッサとに同時に転送する段階と、  
プロセッサで命令をデコードし、デコードされた命令がコプロセッサによって実行されなければならないという事実に対応する認識信号をプロセッサ内で発生させる段階と、

コプロセッサが認識信号を受けた場合にコプロセッサに命令を実行させ、続くサイクル中に命令を実行できるようにする段階と、を含むことを特徴とする方法。

【請求項8】 プロセッサのシーケンサが、同期化された制御信号を、コプロセッサの命令デコーダ、コプロセッサの命令レジスタ、コプロセッサのプログラマブル処理回路、コプロセッサのデータ入力レジスタ、およびコプロセッサのデータ出力レジスタに送るように構成されていることを特徴とする請求項7に記載の方法。

【請求項9】 プロセッサが、コプロセッサの動作に必要なメモリへのアクセスポイントを管理するように構成されていることを特徴とする請求項7または8に記載の方法。